

超低消費電力アナログ回路技術

NTT先端集積デバイス研究所では、レーザ特性まで踏み込んだ光-電子実装統合設計技術と、50 Ω 整合の既成概念を打ち破る光-電子接続手法の適用により、次世代の超小型光トランシーバの実現をめざしています。本稿では、消費電力を桁違いに低減できる光-電子実装を統合したアナログ回路技術を紹介します。

岸 俊樹 / 長谷 宗彦

小林 亘 / 井田 実

栗島 賢二 / 野坂 秀之

NTT先端集積デバイス研究所

データコムにおける光トランシーバの低消費電力化

近年、電子機器やソーシャルネットワークサービスのみまぐるしい発達により、世界中のトラフィック量が年々増加しています。今後、IoT (Internet of Things)、クラウドコンピューティング技術の発展でさらなるトラフィック量の増加が見込まれ、膨大なトラフィックを支えるために、データセンタ内の通信容量がこれまで以上に求められてきます。しかし、通信容量が増加するにつれてデータセンタの規模が大きくなり、消費電力も増加してしまいます。そこで、光トランシーバの小

型化および低電力化が求められます。1 mm角光トランシーバのめざす消費電力を図1に示します。これまでに、ネットワークの主要規格であるEthernetにおいて100GbEの標準化が完了しており、レーザダイオード(LD)としてEML (Electroabsorption-Modulator-integrated Laser) やDFB (Distributed-Feedback) -LDを用いた光トランシーバが100GbEで多く使用されています。これまでの光トランシーバのモジュールサイズは数cm角で、伝送容量当りの消費電力は2~20 mW/Gbit/sですが、私たちの目標とする光トランシーバのサイズは1 mm角で、伝送容量当りの消費電力

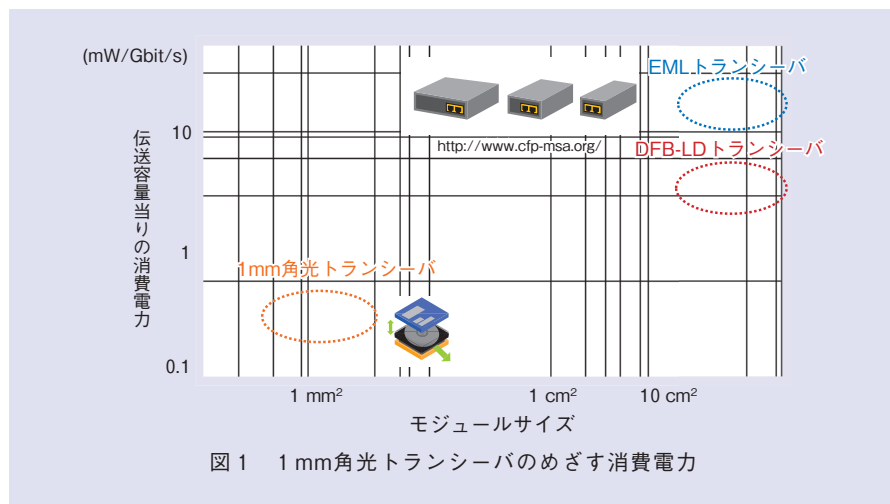
は0.5 mW/Gbit/s以下です。

光トランシーバの超小型化・超低消費電力化を実現するために、NTT先端集積デバイス研究所では、光デバイスと電子デバイスおよび実装の影響まで考慮した光-電子実装統合設計技術に関する研究を行っています。この技術を用いれば、光トランシーバを超小型実装した際の影響をシミュレーションで確認することができ、実装の改善検討に非常に役立ちます。また、設計した超低消費電力の電子デバイスで光デバイスを駆動した際の光ドメインでのシミュレーション結果を確認することが可能です。

本稿では、1 mm角の超小型・超低消費電力光トランシーバの実現に向けたマイルストーンとして、光-電子実装統合設計技術を用いた超低消費電力アナログ回路技術について紹介します⁽¹⁾。

超小型化・超低消費電力化への課題

LDとしてDML (Directly Modulated Laser) を用いた送信フロントエンドの従来設計と超低消費電力設計を図2に示します。従来の設計では、LDドライバとLDの間に整合*1素子として40 Ωが挿入されていました(図2



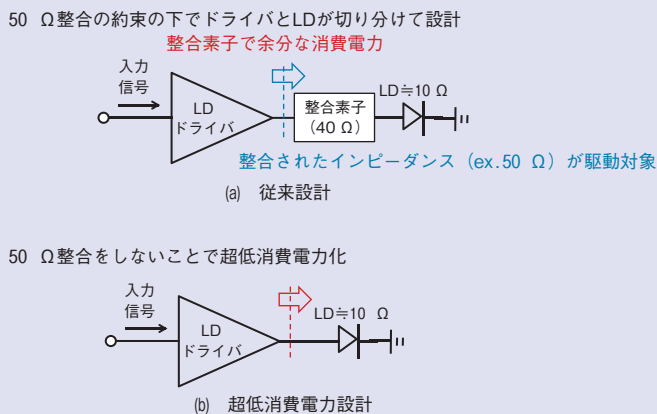


図2 送信フロントエンドの従来の設計と超低消費電力設計の比較

あります。もう1つはドライバとLDが一体となって実装されているため、ドライバのみの電気評価が困難になるという課題です。これらの課題を解決するために、光-電子実装統合設計環境が必要になります。

光-電子実装統合設計技術

■設計環境

構築した光-電子実装統合設計環境を図3に示します。従来個別に設計していたLDドライバ設計、LDのモデリング、実装起因の影響をシミュレーションできる環境を、電子回路シミュレータ上に一括して実現することにより、光-電子実装統合シミュレーションを可能にしました。まず、設計環境の構築を行うために、LDのモデリングを行います。LDは実装するLDの特性に合わせて素子パラメータのフィッティングを行います。図3に示す電気等価回路を用いてLDの等価回路を作成します。さらに、LDに流れる電流 I_{LD} を算出し、電気-光変換を行うレート方程式に I_{LD} を代入し、光波形シミュレーションを行います。LDの電気等価回路およびレート方程式のパラメータを駆動するLDの特性にフィッティングすることで、シミュレーションで光波形を確認することが可能となります。次に、LDドライバについては、超低消費電力化のため、整合素子を用いずにLDを変調可能なシャント型構

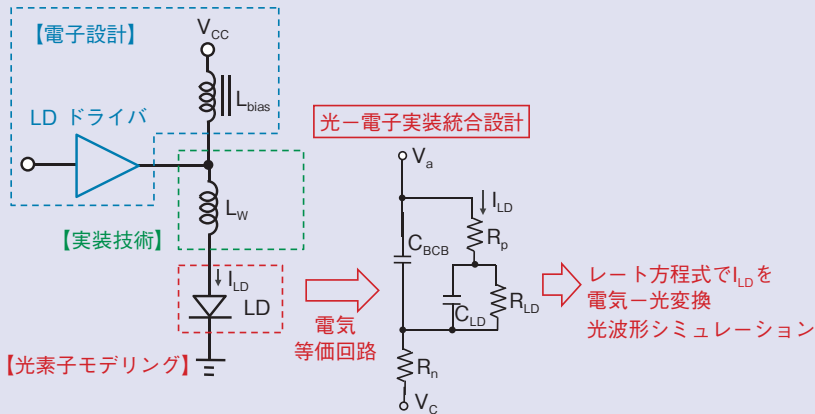


図3 光-電子実装統合設計環境の構築

(a). これは、LDの入力インピーダンスが約10 Ωしかなく、LDドライバの出力インピーダンス50 Ωと整合させるために挿入されていました。しかし、この40 Ωの抵抗素子が原因で、送信フロントエンドのサイズが大きくなり、消費電力も余分に発生してしまいます。そこで、整合素子の抵抗を取り去り、LDドライバとLDを一体実装す

ることで、整合素子で生じていた余分な消費電力を取り除き、低消費電力化を実現しています(図2(b))。ここで、低消費電力化のために整合素子を取り除いた場合、2つの課題が発生してまいります。まず、1つはLDドライバとLDの間のインピーダンスが整合されていないため、信号の反射が発生し、所望の特性が得られないという課題が

*1 整合: 駆動する側のデバイスの出力インピーダンスと駆動される側のデバイスの入力インピーダンスとそれぞれのデバイス間をつなぐ線路またはケーブルのインピーダンスを等しくすること。

成を採用しました。シャント型ドライバ^{*2}は出力抵抗が高いため、LDとモノリシックに集積されるかLDと同一のパッケージ内に実装されます。LDとドライバを一体として短距離に実装することにより、インピーダンス整合を取る必要がなく、超低消費電力で所望の特性を得ることができます。ここで、ドライバとLDが整合されずに実装されるため、ドライバ単体の電気評価は困難になり、ドライバとLD一体での光波形評価が必要になります。そこで、光波形まで含めてシミュレーションが可能な光-電子実装統合設計環境上でシャント型LDドライバを設計する必要があります。ドライバとLDを接続する実装は光波形に影響を及ぼすため、実装条件を等価回路に反映して設計します。このようにLDのモデリング、ドライバの設計、実装による影響までを考慮することで、光-電子実装統合設計環境を構築します。

■超低消費電力LDドライバ

設計した超低消費電力LDドライバを図4に示します。LDドライバ部には低消費電力なシャント型構成を用いており、トランジスタは、内製の0.5 μ m InP (インジウムリン) HBT (Hetero-junction Bipolar Transistor) ($f_t = 290$ GHz, $f_{max} = 320$ GHz) を使用しています。また、LDドライバ部の構成に関して、各トランジスタのエミッタ側に R_E を付加することで、LDドライバの線形性を向上しています。400GbEの標準化議論でPAM4 (4-level Pulse Amplitude Modulation) を用いた変調が注目されています。PAM4を用いた場合、従来のNRZ (Non Return to Zero) と比較して伝送容量当りの消費電力を低減させることができます。そこで、LDドライバを高線形動作させることで、PAM4入力信号に対応した動作を可能とし、低消費電力化しています。さらに、各トランジスタのコレクタ側に付

加されている R_C に並列にスピードアップ容量 C_C を付加することにより、10%の広帯域化を実現しました。また、LDドライバの動作に関して、入力電圧 V_{in} が直流バイアスの場合、 L_{bias} は短絡状態となりますが、 V_{in} が高周波の場合、開放状態となるため、LDドライバの出力インピーダンスが高くなり、LDドライバの変調電流はLDにのみ供給されます。したがって、 V_{CC} から供給される I_{CC} 、ドライバへ流れる電流 I_{DRV} 、LDへ流れる電流 I_{LD} を満たす式は $I_{CC} = I_{LD} + I_{DRV} = \text{一定}$ となります。 I_{DRV} は V_{in} に比例して変調されるため、 I_{LD} が変調されることとなります。また、LDドライバとLDを実装した際に想定される寄生インダクタンス成分 L_W も考慮されています。私たちはLDドライバ設計、LDのモデリング、実装起因の影響をシミュレーションできる環境を回路シミュレーションツールのSPICE上で構築し、光-電子実装統合シミュレーションを可能にしました。

■光波形の実測とシミュレーション

25 Gbit/s NRZにおける光波形の実測とシミュレーションの比較を図5に示します。消光比は4.2 dBです。LDバイアス電流と入力電圧振幅を消光比が高く取れるように設定しているため、LDが持つ緩和振動周波数による光波形のオーバーシュートが確認できます。実測の光波形とシミュレーション光波形を比べると、実測の光波

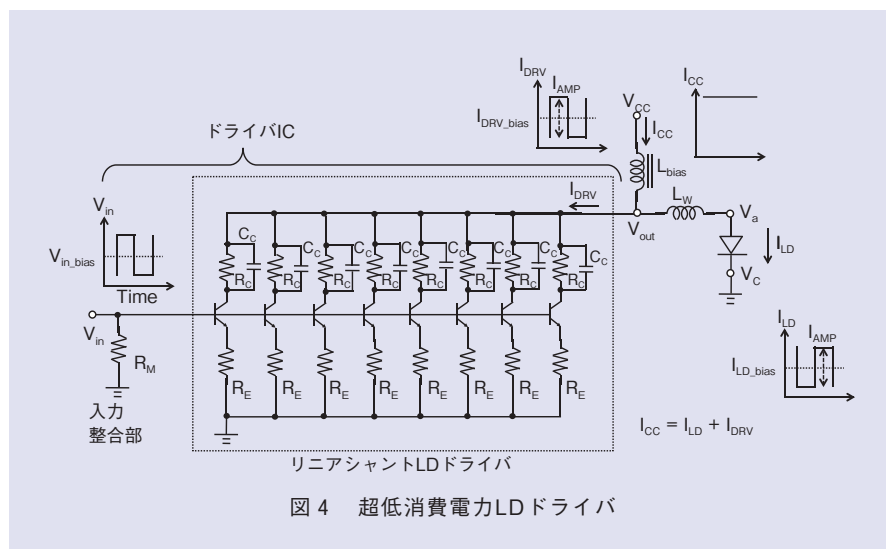


図4 超低消費電力LDドライバ

*2 シャント型ドライバ：駆動対象に並列で付加され、入力信号に応じて駆動対象を変調するドライバ。

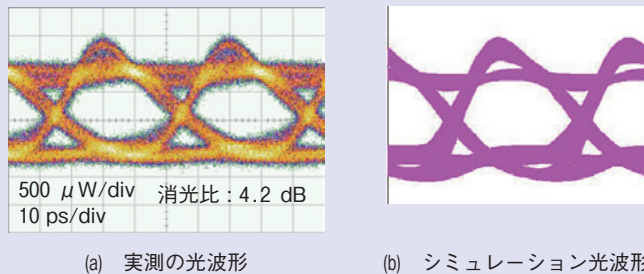


図5 25 Gbit/s NRZにおける光波形の実測とシミュレーションの比較

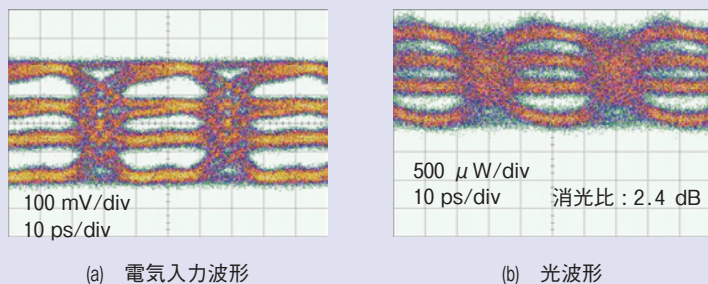


図6 実測した50 Gbit/s PAM4 電気入力波形と光波形

形を精度良くシミュレーション可能な光-電子実装統合設計可能な環境を構築できていることが分かります。構築した設計環境を用いれば、光波形の制御を目的としたドライバ設計が可能になります。

次に、実測した50 Gbit/s PAM4の電気入力波形と光波形を図6に示します。消光比は2.4 dBです。消光比が低いため、光波形のオーバーシュートは抑制されています。電気入力信号を生成する実験装置の影響でPAM4電気入力波形の各アイ開口が不均等になっていますが、電気入力波形に比例した光波形が出力されていることが分かり

ます。この結果から、設計したLDドライバが線形動作していることが分かります。構築した光-電子実装統合設計環境を用いてドライバ設計を行えば、LDを駆動した際に実測される光波形と同一の波形をシミュレーションすることが可能になります。

今後の展開

本稿では、光-電子実装統合設計環境構築をめざして内製のInP HBT技術を用いた超低消費電力な線形動作可能なシャント型LDドライバを試作しました。今後は、より大規模集積および小型化をめざしてSi CMOS

(Complementary Metal Oxide Semiconductor) プロセスを用いてLDドライバの試作を行い、1 mm角の超小型・超低消費電力光トランシーバの実現をめざします。

参考文献

- (1) T. Kishi, M. Nagatani, S. Kanazawa, W. Kobayashi, T. Shindo, H. Yamazaki, M. Ida, K. Kurishima, and H. Nosaka: "A 45-mW 50-Gb/s linear shunt LD driver in 0.5- μ m InP HBT technology," Proc. of IEEE Compound Smicond. IC, Symp., Paper H.2, Austin, U.S.A., Oct. 2016.



(後列左から) 栗島 賢二/ 井田 実/
野坂 秀之
(前列左から) 長谷 宗彦/ 岸 俊樹/
小林 亘

電子機器やソーシャルネットワークサービスの発達に伴い、トラフィック量が増加しています。NTT先端集積デバイス研究所では、1 mm角の超小型・超低消費電力トランシーバを実現することで、増加するトラフィック量の解決をめざしています。

◆問い合わせ先

NTT先端集積デバイス研究所
光電子融合研究部
TEL 046-240-2744
FAX 046-270-2351
E-mail sende-kensui@lab.ntt.co.jp